

## METHOD FOR MANUFACTURING SEMICONDUCTOR SUBSTRATE AND SEMICONDUCTOR DEVICE

**Publication number:** JP2004014878

**Publication date:** 2004-01-15

**Inventor:** YOSHIDA AKIRA

**Applicant:** SHARP KK

**Classification:**

- **international:** H01L21/20; H01L21/265; H01L29/78; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L21/265; H01L21/20; H01L29/78; H01L29/786

- **European:**

**Application number:** JP20020167660 20020607

**Priority number(s):** JP20020167660 20020607

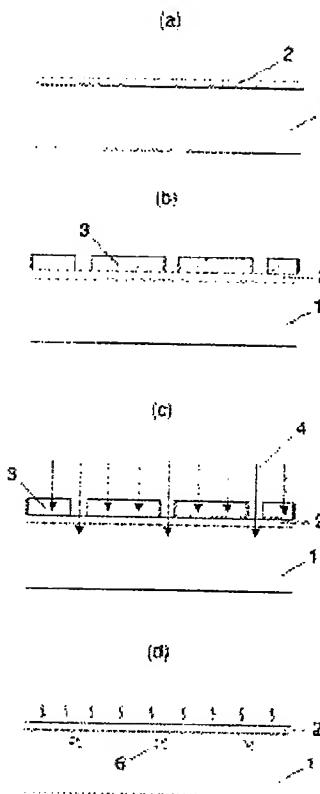
[Report a data error here](#)

### Abstract of JP2004014878

**PROBLEM TO BE SOLVED:** To provide a semiconductor substrate manufacturing method for realizing a high relaxation ratio in a SiGe film formed on a semiconductor substrate and suppressing through dislocation concentration in the SiGe film at a minimum, and a semiconductor device manufacturing method utilizing the semiconductor substrate manufacturing method.

**SOLUTION:** The semiconductor substrate manufacturing method comprises forming the SiGe film on the substrate having a silicon layer on its surface, forming a mask pattern having grating-shaped grooves on the SiGe film, injecting ions to the substrate through the mask pattern, and then performing heat processing.

**COPYRIGHT:** (C)2004,JPO



Data supplied from the [esp@cenet](#) database - Worldwide

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-14878

(P2004-14878A)

(43) 公開日 平成16年1月15日(2004. 1. 15)

(51) Int.Cl.<sup>7</sup>  
**H01L 21/265**  
**H01L 21/20**  
**H01L 29/78**  
**H01L 29/786**

F 1  
**H01L 21/265** Q  
**H01L 21/265** 602A  
**H01L 21/265** 602B  
**H01L 21/20**  
**H01L 29/78** 301H

テーマコード(参考)  
**5F052**  
**5F110**  
**5F140**

審査請求 未請求 請求項の数 11 O L (全 13 頁) 最終頁に続く

(21) 出願番号  
(22) 出願日

特願2002-167660 (P2002-167660)  
平成14年6月7日 (2002. 6. 7)

(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(74) 代理人 100065248  
弁理士 野河 信太郎  
(72) 発明者 吉田 彰  
大阪府大阪市阿倍野区長池町22番22号  
シャープ株式会社内  
Fターム(参考) 5F052 JA01 KA01  
5F110 AA01 AA06 AA30 BB04 CC02  
DD05 DD13 EE31 FF02 GG02  
GG06 GG12 GG17 GG25 GG42  
GG47 GG60 HJ13 HM15  
5F140 AA01 AC01 AC28 AC36 BA01  
BA05 BA17 BA20 BB13 BC12  
BG08 BH15 BH17 BK13

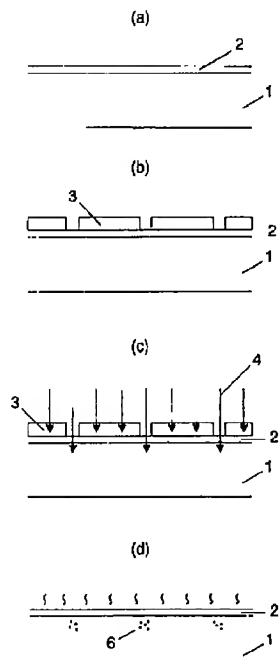
(54) 【発明の名称】半導体基板の製造方法及び半導体装置

## (57) 【要約】

【課題】半導体基板上に形成されたSiGe膜において、高い緩和率を実現し、かつSiGe膜内の貫通転位密度を最大限に抑制することができる半導体基板の製造方法及びそれを利用した半導体装置の製造方法を提供することを目的とする。

【解決手段】表面にシリコン層を有する基板上に、SiGe膜を形成し、該SiGe膜上に格子状の溝を有するマスクパターンを形成し、該マスクパターンをとおして基板にイオン注入し、熱処理を行う半導体基板の製造方法が提供される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

表面にシリコン層を有する基板上に、 $\text{SiGe}$ 膜を形成し、該 $\text{SiGe}$ 膜上に格子状の溝を有するマスクパターンを形成し、該マスクパターンをとおして基板にイオン注入し、熱処理を行うことを特徴とする半導体基板の製造方法。

## 【請求項 2】

$\text{SiGe}$ 膜上にさらに保護膜が形成され、該保護膜上に格子状のマスクパターンを形成する請求項 1 に記載の半導体基板の製造方法。

## 【請求項 3】

表面にシリコン層を有する基板が、 $\text{SOI}$ 構造基板である請求項 1 又は 2 に記載の半導体基板の製造方法。 10

## 【請求項 4】

基板に注入するイオンが、水素、希ガス類元素からなる群から選択されたイオンである請求項 1 ~ 8 のいずれか 1 つに記載の半導体基板の製造方法。

## 【請求項 5】

基板に注入するイオンの注入ピークが、 $\text{SiGe}$ 膜と基板との界面の基板側に設定される請求項 1 ~ 4 のいずれか 1 つに記載の半導体基板の製造方法。

## 【請求項 6】

マスクパターンが、フォトレジスト又は酸化膜により形成されてなる請求項 1 ~ 5 のいずれか 1 つに記載の半導体基板の製造方法。 20

## 【請求項 7】

保護膜が酸化膜、窒化膜または酸化窒化膜である請求項 2 ~ 6 のいずれか 1 つに記載の半導体基板の製造方法。

## 【請求項 8】

イオン注入、熱処理の後に、マスクパターンを除去して、 $\text{SiGe}$ 膜上に、さらに $\text{SiGe}$ 膜を形成する請求項 1 ~ 7 に記載の半導体基板の製造方法。

## 【請求項 9】

シリコン層が(100)面であり、マスクパターンの格子状の溝を<110>方向に平行に形成する請求項 1 ~ 8 のいずれか 1 つに記載の半導体基板の製造方法。

## 【請求項 10】

さらに、 $\text{SiGe}$ 膜上に格子歪をもつ半導体膜を形成する請求項 1 ~ 9 のいずれか 1 つに記載の半導体基板の製造方法。 30

## 【請求項 11】

請求項 10 で得られた半導体基板の半導体膜を活性層として用いてなる半導体装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、半導体基板の製造方法及び半導体装置に関し、より詳細には、 $\text{SiGe}$ 膜を備えることにより歪を導入した高品質かつ高性能な半導体基板の製造方法及びこれを利用した半導体装置に関する。 40

## 【0002】

## 【従来の技術】

従来、チャネル領域を通過する電子や正孔の移動度を向上する目的で $\text{Si}$ 基板上に歪 $\text{SiGe}$ 膜を仮想格子状に形成し、 $\text{Si}$ 基板との格子定数の不整合によるこの $\text{SiGe}$ 膜の歪をミスマッチ転位の導入により緩和したのちに、キャップ層として $\text{Si}$ 膜を形成する方法が知られている。この $\text{Si}$ 膜は、より格子定数の大きい $\text{SiGe}$ 膜に引っ張られることにより歪が生じ、これによりバンド構造が変化し、キャリアの移動度を向上させる。

$\text{SiGe}$ 膜の歪を緩和する方法としては、 $\text{SiGe}$ 膜を数nmの厚さで成膜し、 $\text{SiGe}$ 膜の歪弾性エネルギーを増大させることにより格子緩和する方法が知られている。例えば Y. J. Miiらは、論文 APPL. PHYS. Lett. 59 (18), 16 50

11 (1991)において、SiGe膜中のGe濃度を徐々に増加し、約1μmの濃度傾斜SiGe膜を形成することによるSiGe膜の歪緩和を発表している。

【0008】

また、薄膜のSiGe膜の歪を緩和する方法として、水素などのイオン注入を行ったのちに高温でアニールすることにより、Si基板内の欠陥層にできた積層欠陥がすべりを起こし、SiGe膜/Si基板界面でミスフィット転位を発生させる方法が知られている。例えばD. M. Follstaedtらは、論文APP1. Phys. Lett. 69 (14), 2059 (1996)で、Heイオン注入による歪緩和を、H. Trinkausらは、論文APP1. Phys. Lett. 76 (24), 8552 (2000)で、Hイオン注入による歪緩和を発表している。

10

【0004】

【発明が解決しようとする課題】

しかし、SiGe膜を数μmの厚さまで成膜する方法では、完全に格子整合した状態を保てる最大膜厚である臨界膜厚を超えてしまうため、SiGe膜中に非常に多くの欠陥が発生する。また、SiGe膜は、歪を自己緩和しながら成長するため、SiGe膜表面にクロスハッチと呼ばれる数十μmピッチの筋状の凹凸が発生する。したがって、SiGe膜表面を平坦化することが必要となり、製造工程が煩雑になるという課題がある。

【0005】

一方、水素などのイオン注入を行う方法では、例えば、図8に示すように、上記のSiGe膜を数μm厚まで成長させる方法よりは少ないものの、終端されないミスフィット転位8から貫通転位9が発生する。この貫通転位9は、エネルギー的に安定するために、SiGe膜の(1 1 1)面10上を通ってSiGe膜2の表面に達する。これにより、この基板を用いて素子を形成した時に接合リーキ電流を増大させるという課題がある。

20

【0006】

本発明は、上記課題に鑑みなされたものであり、半導体基板上に形成されたSiGe膜において、高い緩和率を実現し、かつSiGe膜内の貫通転位密度を最大限に抑制することができる半導体基板の製造方法及びそれを利用した半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

30

本発明によれば、表面にシリコン層を有する基板上に、SiGe膜を形成し、該SiGe膜上に格子状の溝を有するマスクパターンを形成し、該マスクパターンをとおして基板にイオン注入し、熱処理を行う半導体基板の製造方法が提供される。

また、本発明によれば、上記で得られた半導体基板の半導体膜を活性層として用いてなる半導体装置が提供される。

【0008】

【発明の実施の形態】

本発明の半導体基板の製造方法においては、まず、表面にシリコン層を有する基板上に、SiGe膜を形成する。

40

表面がシリコン層からなる基板とは、アモルファス、マイクロクリスタル、単結晶、多結晶、これら2種類以上の結晶状態の2種類以上が混在するシリコン基板又はこれらのシリコン層を表面に有する、いわゆるSOI基板が含まれる。なかでも、単結晶シリコン基板が好ましい。なお、SOI基板を用いる場合は、表面シリコン層の膜厚が、表面シリコン層内に存在するイオン注入のピーク位置とSiGe膜/Si基板界面との距離よりも厚いことが必要であるため、この距離の2倍程度の膜厚を有する表面シリコン層を用いることが好ましい。

【0009】

SiGe膜は、公知の方法、例えば、CVD法、スパッタ法、真空蒸着法、MEB法等の種々の方法により形成することができる。なかでも、CVD法によるエピタキシャル成長法により形成することが好ましい。この場合の成膜条件は、当該分野で公知の条件を選択

50

することができ、特に、成膜温度は、例えば、400～900°C、好ましくは400～650°C程度が適當である。具体的には、以下の範囲のGeの濃度を有するSiGe膜を形成する場合、例えば、80 atom%のGe濃度のSiGe膜を成長させる場合、成膜温度は500°C以下が好ましい。このSiGe膜においては、Geの濃度は特に限定されるものではないが、例えば、10～50 atom%程度、好ましくは10～40 atom%、より好ましくは20～80 atom%が挙げられる。SiGe膜の膜厚は、後の歪み緩和アニール工程で発生するSiGe膜とシリコン基板との界面のすべり転位が、その上に形成するであろう半導体装置、例えばMOSFETに悪影響を及ぼさないようにするために、厚膜であることが好ましい。厚膜とする手法としては、一般的に成膜温度を下げることが有効である。一方、基板上にSiGe膜を堆積した時、SiGe膜の格子歪み緩和が生じるような膜厚、すなわち臨界膜厚よりも薄いことが好ましい。具体的には、50～500 nm程度が挙げられ、さらに100～500 nm程度が適當である。特に、後工程においてPN接合を形成することを考慮すると、SiGe膜の膜厚は800 nm以上が好ましい。なお、Geの濃度は、膜厚方向及び層表面方向（面内方向）に連続的又は段階的に傾斜して変化してもよいが、均一であることが好ましい。また、このSiGe膜は、Geの濃度が同一の又は異なる複数の積層膜として形成してもよい。

#### 【0010】

SiGe膜を形成した後、マスクパターンを形成する前に、SiGe膜上に保護膜を形成してもよい。保護膜は、後述するイオン注入からSiGe膜表面を保護する機能を有する限り、どのような材料で形成されてもよい。例えば、シリコン酸化膜（熱酸化膜、低温酸化膜：LTO膜等、高温酸化膜：HTO膜）、シリコン窒化膜、シリコン酸化窒化膜、SiO<sub>2</sub>膜、PSG膜、BSG膜、BPSG膜等の単層膜又は積層膜が挙げられる。なかでも、酸化膜、窒化膜又は酸化窒化膜が好ましい。保護膜の膜厚は、SiGe膜の膜厚、後述するイオン注入におけるイオン種、加速エネルギー等により、適宜調整することができ、例えば、5～100 nm程度が挙げられる。保護膜は、CVD法、熱酸化法、スピッタ法、蒸着法、ソルゲル法、スピンドル法等の種々の方法により形成することができる。

#### 【0011】

保護膜を形成することにより、イオン注入時にSiGe膜へコンタミが侵入することを防ぐことができると同時に、保護膜がなく、SiGe膜厚も薄い条件下イオン注入機の装置仕様限界以下の低加速エネルギーが要求される場合でも、保護膜の膜厚を調整することで、SiGe膜／シリコン層（基板）へ浅く注入することができる。その結果、非常に薄い膜厚のSiGe膜であってもミスフィット転位を確実に終端させ、貫通転位を発生させずに歪SiGe膜を格子緩和することができる。

#### 【0012】

次いで、SiGe膜上にマスクパターンを形成する。ここでのマスクパターンは、フォトマスク又は絶縁膜（熱酸化膜、低温酸化膜：LTO膜等、高温酸化膜：HTO膜等のシリコン酸化膜、シリコン窒化膜、SiO<sub>2</sub>膜、PSG膜、BSG膜、BPSG膜等）の単層膜又は積層膜等によって形成することができる。なかでも、フォトマスク又は酸化膜により形成する方が好ましい。マスクパターンは、フォトマスクの場合には、公知のフォトリソグラフィ工程によって所定の形状に形成することができる。酸化膜等の場合には、酸化膜をSiGe膜上に形成した後、その上に、公知のフォトリソグラフィ工程によって所定形状のレジストパターンを形成し、このレジストパターンをマスクとして用いて、RIE法等のドライエッティング又はウェットエッティング等により、酸化膜等をバーニングして形成することができる。特に、酸化膜は、イオン注入エネルギーが高く、フォトマスクを厚く塗布する必要がある場合や、微細でパターンピッチの狭い格子状溝が必要な場合などで、フォトマスクのアスペクト比が高くなりすぎ、レジストパターンが倒壊するためフォトマスク膜厚が必要な厚さに成膜できない場合などに有効である。

#### 【0018】

マスクパターンは、格子状の溝を有している。ここでの溝は底部を有するものであってもよい、例えば、格子状に凹凸を有するような形状又は部分的に膜厚が異なるような形状で

10

20

30

40

50

あってもよいが、底部がない貫通した溝であることが好ましい。また、格子状に溝を有するとは、縦及び横方向に縦状にレジストが配置しない領域を有しており、レジストがほぼ正方形で均等に配置しているような形状のほか、いわゆる市松模様を構成するようにレジストが配置する領域と配置しない領域とが縦及び横方向に交互に配列する形状、さらには、レジストが配置する領域が円形；三角形、四角形、六角形、八角形等の多角形等、好ましくは正多角形等である網目状の溝を有するような形状であってもよい。なかでも、レジストが配置した領域が正方形で、縦及び横に垂直に交わる溝を有する形状が好ましい。特に、格子状の溝の幅は、例えば、50～1000 nm程度、溝の間隔は、50～2000 nm程度が適当である。特に、格子状の溝の形成方向は、例えば、シリコン層（基板）が(100)面である場合には、一方向の溝の方向が<110>方向に平行、他方向の溝の方向が<110>方向に垂直であることが好ましい。これにより、ミスフィットが延びる方向とイオン注入される方向とを一致させることができるために、より確実にミスフィット転位を終端させることができる。

## 【0014】

マスクパターンの膜厚は、特に限定されるものではなく、後述するイオン注入の条件、マスクパターンの材料によって適宜調整することができるが、後述するようにマスクパターンの溝からのみ所望の領域にイオン注入することができるよう設定することが必要があり、例えば、100～1000 nm程度が適当である。

## 【0015】

統いて、上記のようなマスクパターンをとおして基板にイオン注入し、熱処理を行う。イオン注入は、基板として用いるシリコンの表面に結晶欠陥を導入し得る元素、イオン注入後のアニールにおいて、シリコン基板中にマイクロキャビティを形成し得る元素等を用いて行うことが適当であり、例えば、水素、希ガス類元素及び3族、4族、5族元素からなる群から選択することができる。具体的には、水素、ヘリウム、ネオン、リン、素、ホロン、シリコン、炭素、ケルマニウム等が挙げられ、なかでも、水素が好ましい。イオン注入の加速エネルギーは、用いるイオン種、SiGe膜の膜厚、マスクパターンの膜厚等によって適宜調整することができる。例えば、マスクパターンで覆われている領域においては、イオンがSiGe膜や基板に注入されず、一方、マスクパターンで覆われていない領域においては、SiGe膜/基板界面のシリコン基板側に注入ピークがくるような加速エネルギーを選択して行うことが必要である。さらに具体的には、界面から、基板側に70 nm程度以上深い位置（好ましくは80～80 nm程度の位置）にピークがくるように設定することができる。SiGe膜中の欠陥抑制及びSiGe膜の薄膜化防止のために望ましい。例えば、20～150 keV程度、好ましくは80～85 keV程度の注入エネルギーが挙げられ、より具体的には、SiGe膜の膜厚が200 nm程度の場合で、水素を用いる場合には、18～25 keV程度が挙げられる。ドーズは、例えば、 $2 \times 10^{16} \text{ cm}^{-2}$ 程度以下のドーズが挙げられる。

## 【0016】

熱処理は、例えば、炉アニール、ランプアニール等が挙げられ、不活性ガス雰囲気（アルゴン等）、大気雰囲気、窒素ガス雰囲気、酸素ガス雰囲気、水素ガス雰囲気等下で、600～900 °Cの温度範囲で、10～80分間程度行うことができる。

これにより、イオン注入された元素が注入ピーク付近で微小な空孔を形成し、それによって発生した積層欠陥が(111)面上をすべりSiGe膜/シリコン層（基板）界面でミスフィット転位になることで格子緩和が起こる。なお、ミスフィット転位は、ウェハ全面にわたって格子状に形成され、このミスフィット転位は格子パターンに沿ってループを形成し、あるいはウェハ端まで達することで確実に終端される。終端されたミスフィット転位からはSiGe膜を貫いて表面に達する貫通転位は発生せず、貫通転位を抑制したまま歪SiGe膜を格子緩和することができます。

## 【0017】

なお、本発明においては、上記のようにイオン注入して、マスクパターンを除去した後に、さらに、その上に、第2のSiGe膜を形成し、最終的に、SiGe膜を複数の積層膜

10

20

30

40

50

として形成してもよい。この第2のSiGe膜は、Geの濃度が同一の又は異なる複数の積層膜として形成してもよい。

【0018】

また、第2のSiGe膜を形成せずに上記で形成したSiGe膜上に、あるいは第2のSiGe膜の上に、格子歪をもつ半導体膜を形成することが好ましい。半導体層は、シリコンと同様のダイヤモンド構造を有するものであれば特に限定されるものではなく、例えば、Si、SiC又は上記SiGe膜よりもGe濃度が低いSiGe膜等が挙げられる。なかでも、シリコン膜が好ましい。SiCにおけるC濃度は、特に限定されるものではなく、例えば、0.1~7atom%程度が挙げられる。また、SiGe膜におけるGe濃度は、10atom%程度以下が適当である。半導体膜は、SiGe膜と同様の方法で形成することができ、例えば、成長ガスを切り替えて、SiGe膜に引き続いで、同一装置内で形成することができる。これにより、SiGe膜の表面の酸素等の汚染を低減することができる。この場合の基板温度は、400~650°C程度が好ましい。半導体膜の膜厚は、後の半導体装置の製造工程での膜減り及びSiGe膜からのGeの拡散等を考慮して、厚膜であることが好ましいが、一方、SiGe膜の歪み緩和工程後に発生する半導体膜の引っ張り歪みによる欠陥発生を抑制するため、臨界膜厚以下の膜厚で形成することができる。なお、SiGe膜のケルマニウム濃度が高いほど薄く、後に行うであろう半導体装置の製造プロセスにおける熱処理温度が高いほど薄くすることが好ましい。膜厚は、具体的には、1~100nm程度、より好ましくは5~80nm程度であるが、特に、80atom%のGe濃度のSiGe膜の上に形成する場合には、その膜厚は20nm程度以下、20atom%のGe濃度の場合には50nm程度以下が適当である。なお、この半導体膜は、組成が同一の又は異なる複数の積層膜として形成してもよい。

これにより、良質で十分な歪をもつ歪半導体膜を得ることができ、得られた基板を用いて半導体装置を形成する場合には、目標とするキャリアの移動度向上を達成することができる。

【0019】

このようにして得られた半導体基板の半導体膜を活性層として用いて、半導体装置を形成することができる。半導体装置は、公知の方法により形成することができ、例えば、半導体膜上に、ケート絶縁膜、ケート電極を形成した後、イオン注入によりソース/ドレイン領域を形成することにより、形成することができる。また、この半導体装置は、LDD構造、DDD構造を有していてもよい。これにより、電気的特性の優れた半導体装置を得ることができる。

以下、図面を参照して、本発明の半導体基板の製造方法及び半導体装置の実施の形態について詳細に説明する。

【0020】

実施の形態1

まず、前処理として、5%の希フッ酸にて表面の自然酸化膜の除去を行ない、(100)面を有するシリコン基板1を準備した。このシリコン基板1上に、図1(a)に示したように、低圧気相成長(LP-CVD)装置を用い、ケルマン(GeH<sub>4</sub>)とシラン(SiH<sub>4</sub>)とを原料に、Ge濃度30%のSiGe膜2を仮想格子状に、膜厚150nmになるまで500°Cにて、エピタキシャル成長させる。

【0021】

次に、図1(b)に示すように、フォトレジストをシリコン基板1上全面に、膜厚500nmでスピンコートし、i線ステッパーにより、格子状のパターンを有するフォトマスクを用いて露光し、アルカリ現像液で現像することで、シリコン基板1上全面に、格子状の溝を有するマスクパターン3を形成する。なお、このマスクパターン3の平面図を図2に示す。このマスクパターン3の溝は、一方向が<110>方向に平行に、他の方向が<110>方向に垂直に配置されるように、シリコン基板上に形成されている。

このパターンをマスクとして用いて、図1(c)に示すように、注入エネルギー18keV、ドーズ $8 \times 10^{16} \text{ cm}^{-2}$ 、チルト角7°の条件にて水素イオン4を注入する。

10

20

30

40

50

## 【0022】

この注入条件でのイオン注入により、注入ピークが、マスクパターン3で被覆されていな  
い領域では、SiGe膜2／シリコン基板1界面の基板側70nmの位置に、マスクパターン3で被  
覆されている領域では、マスクパターン3の膜厚の中央付近に、それぞれくる  
ように設定されており、マスクパターン3で被覆されている領域では水素イオン4がSi  
Ge膜2やシリコン基板1へ達することはない。

## 【0023】

その後、図1(d)に示すように、シリコン基板1上のレジストを除去し、窒素ガス雰囲  
気のアニール装置で800℃にて10分間、熱処理を行う。これにより、マスクパターン  
3で被覆されていなかった領域においてシリコン基板1中に注入された水素イオンの注入  
ピーク近傍にマイクロキャビティ-6と呼ばれる10nm程度の直径を有する微小の空孔  
が発生する。この空孔によって積層欠陥が発生し、この積層欠陥がすべりを起こすこと  
により、SiGe膜2／シリコン基板1界面にミスフィット転位8を発生させて、SiGe  
膜2の格子緩和が起こる。

10

## 【0024】

この条件で歪緩和したSiGe膜2の(-2 -2 4)面をXRD(X線回折法)を用  
いて解析すると、SiGe膜2の歪緩和率は78.8%と、十分に緩和していった、また結  
晶性も良好であった。

この際のミスフィット転位8の模式図を図8(a)に示す。従来技術の模式図(図8)と  
比較し、ミスフィット転位8は終端しており、その貫通転位の発生が抑制されることが分  
かる。ミスフィット転位8は、ウェハ全面で見走場合、図8(b)のようにウェハ端まで  
達するか、図8(c)のように格子状のループを形成することで確実に終端することにな  
る。

20

## 【0025】

また、図4は刀状転位13が発生することで格子歪緩和している状態のSiGe膜2とシリ  
コン基板1界面での原子配列状態を<110>方向から見た模式図を示す。この場合、  
ミスフィットの形成される方向は、紙面に対し垂直方向となる。したがって、マスクパ  
ターン3における溝の方向は、シリコン基板1として(100)面を用いた場合においては  
<110>方向とすることで、ミスフィット転移8が延びる方向と一致させることができ  
るため、ミスフィット転位8を終端させることができる。

30

## 【0026】

次いで、図5(a)に示すように、この歪緩和SiGe膜2／シリコン基板1上に、Ge  
濃度80%の第2のSiGe膜18を、膜厚800nmまで仮想格子状にエピタキシャル  
成長させた。

これにより、SiGe膜は合計で457nmとなり、例えば、この基板を用いて、電源電  
圧が高い条件のCMOSデバイスを形成し、動作させても、CMOSデバイスの空乏層の  
広がりが、ミスフィット転位が存在するSiGe膜2とシリコン基板1との界面に到達す  
ることなく、接合リーキ電流の発生を防止することができる。

40

## 【0027】

続いて、図5(b)に示すように、キャリアの通過するチャネル領域として、SiGe膜  
18上にシリコン膜19を仮想格子状に、膜厚20nmまでエピタキシャル成長させる。  
この後、ゲート絶縁膜、ゲート電極を公知の方法で形成し、イオン注入によりソース／ド  
レイン領域を形成することにより、半導体装置を形成することができる。

このようにして得られた半導体基板のシリコン膜19は、より格子定数の大きい歪緩和Si  
Ge膜18と格子整合し、引っ張り歪をもつこととなり、得られた半導体装置においてはキャ  
リアの移動度が向上する。

## 【0028】

なお、上記の方法で得られた基板と、従来技術におけるウェハ全面に水素イオンを均一に  
注入し、アニール処理した歪緩和SiGe膜上に、上記と同様の条件でSiGe膜を膜厚  
800nmに成長させ、その上にSi層を膜厚20nmに成長させた半導体基板とを、位

50

相差顕微鏡 (Normalski顕微鏡) で比較した。その結果、従来の方法では SiGe 膜 / シリコン基板界面に発生したミスフィット転位が確実には終端されず、基板表面まで貫通転位 21 が数多く達しているのが観察された。これに対し、上記方法で得られた基板では、表面に全く貫通転位が観察されなかった。

【0029】

実施の形態 2

実施の形態 1 と同様のシリコン基板 1 を準備し、図 6 (a) に示すように、このシリコン基板 1 上に、低圧気相成長装置を用いケルマンとシランとを原料に、Ge 濃度 40 % の SiGe 膜 2 を仮想格子状に、80 nm 膜厚になるまで 500 °C にてエピタキシャル成長させる。この SiGe 膜 2 上に、保護膜 7 として低温酸化膜を 50 nm 膜厚になるまで成膜する。

10

【0030】

次に、図 6 (b) に示すように、実施の形態 1 と同様に、保護膜 7 上に、格子状の溝を有するマスクパターン 8 を形成する。

続いて、図 6 (c) に示すように、注入エネルギー 10 keV、ドーズ  $8 \times 10^{18} \text{ cm}^{-2}$ 、チルト角 7° の条件にて水素イオン 4 を注入する。

この注入条件でのイオン注入により、注入ピークが、マスクパターン 8 で被覆されていない領域では、SiGe 膜 2 / シリコン基板 1 界面の基板側 80 nm の位置に、マスクパターン 8 で被覆されている領域では、パターン 8 の膜厚の上層付近に、それぞれくるよう 20 設定されており、マスクパターン 8 で被覆されている領域では水素イオンが SiGe 膜 2 やシリコン基板 1 へ達することはない。

20

【0031】

その後、図 6 (d) に示すように、シリコン基板 1 上のレジストを除去し、希 HF で酸化膜を除去した後に、窒素ガス雰囲気のアニール装置で 800 °C にて 10 分間、熱処理を行う。これにより、マスクパターン 8 で被覆されていなかつた領域においてシリコン基板 1 中に注入された水素イオン 4 の注入ピーク近傍にマイクロキャビティ 6 と呼ばれる 10 nm 程度の直径を有する微小の空孔が発生する。この空孔によって積層欠陥が発生し、この積層欠陥がすべりを起こすことにより、SiGe 膜 2 / シリコン基板 1 界面にミスフィット転位を発生させて、SiGe 膜 2 の格子緩和が起こる。

30

【0032】

この実施の形態では、イオン注入の前に、保護膜を形成することで、イオン注入時のコンタミ混入を防ぐことができる。さらに、水素イオンを注入しようとするとき、現行のイオン注入機の装置仕様では加速電圧 5 keV 程度が下限であり、加速電圧 5 keV で保護膜を形成せずに、比較的薄い膜厚、例えば 25 nm の SiGe 膜に水素イオンを注入し、アニールしても注入ピーク位置が深くなりすぎて十分には緩和しないという問題があるが、保護膜の膜厚を厚くすることで注入ピーク位置を制御することができ、非常に薄い SiGe 膜でも現行のイオン注入機で容易に注入位置を制御して、その結果、歪み緩和を行うことができる。

【0033】

実施の形態 3

40

シリコン基板を用いる代わりに、表面層が膜厚 100 nm 程度の単結晶シリコン層からなる SOI 基板を用いて、実施の形態 1 及び 2 と同様に半導体基板を完成させた。

このような基板によっても、実施の形態 1 と同様の効果が得られる。

【0034】

実施の形態 4

50

ここでは、図 7 に示す半導体装置を形成する。

実施の形態 1 と同様のシリコン基板 1 上に、Ge 濃度 80 % の第 1 の SiGe 膜 2 を仮想格子状に 150 nm 膜厚になるまで 500 °C にてエピタキシャル成長させ、第 1 の SiGe 膜 2 上に、保護膜 (図示せず) として 20 nm 膜厚の酸化膜を形成し、その上に、格子状の溝を有するマスクパターン (図示せず) を形成し、このマスクパターンをマスクとし

て用いて、実施の形態1と同様に、水素イオン注入を行い、アニール処理を行なう。マスクパターンを除去し、洗浄した後、十分に歪緩和したSiGe膜2上にGe濃度80%の第2のSiGe膜18を300nm成膜させ、さらにその上にシリコン膜19を仮想格子状に20nm膜厚になるまで成長させる。

#### 【0035】

このようにして形成された基板を用いて、公知の方法でPMOSを形成した。PMOSは、シリコン膜19上にゲート酸化膜21を介して、サイドウォール24を有するゲート電極20が形成されている。シリコン膜19及び第2のSiGe膜18には、ソース領域22及びドレイン領域23が形成されている。

このように、歪Si/SiGe膜/Si基板は、SiGe膜が十分に格子緩和されており、それによりシリコン膜に引っ張り歪が発生しているため、PMOSトランジスタのId-Vd特性は、通常のシリコン基板上に形成したPMOSに比べ、ドレイン電流が増加しており、また、相互コンダクタンス特性であるGm-Vg特性においてもGmの最大値が大きくなっていた。よって、キャリア（ここでは正孔）の移動度が上昇していることが確認できた。

#### 【0036】

##### 【発明の効果】

本発明によれば、格子状の溝を有するマスクパターンを用いて、基板にイオン注入することにより、SiGe膜とシリコン層（基板）との界面に、確実に終端されたミスフィット転位を形成することが可能となる。これにより、リーク電流の原因となる貫通転位が低減され良質な結晶性と十分な緩和率とを備えた歪緩和SiGe膜を形成することができる。

また、上記のような半導体基板上に半導体層を形成した基板を用いて半導体装置を形成することにより、従来のシリコン基板に比べ、キャリアの移動度が向上した半導体装置を得ることが可能となる。

##### 【図面の簡単な説明】

【図1】本発明の半導体基板の製造方法を説明するための概略断面製造工程図である。

【図2】本発明の半導体基板の製造方法で使用されるマスクパターンの平面図である。

【図3】本発明の半導体基板の製造方法によって半導体基板におけるミスフィット転位が発生した貫通転位を説明するための図及びミスフィット転位がウェハ端まで達するか、ループを形成することで確実に終端することを示した模式図である。

【図4】本発明の半導体基板の製造方法において、刃状転位が発生し格子緩和している状態のSiGe膜とシリコン基板との界面の原子配列状態を<110>方向から見た模式図である。

【図5】図1に続く概略断面製造工程図である。

【図6】本発明の別の半導体基板の製造方法を説明するための概略断面製造工程図である。

【図7】本発明の半導体基板の製造方法で得られた基板を用いて作製したMOSFETを示す要部の概略断面図である。

【図8】従来技術における終端されないミスフィット転位から貫通転位が発生する様子を示した模式図である。

##### 【符号の説明】

- 1 シリコン基板
- 2 SiGe膜
- 3 マスクパターン
- 4 水素イオン
- 6 マイクロキャビティ
- 7 保護膜
- 8 ミスフィット転位
- 9 貫通転位

10

20

30

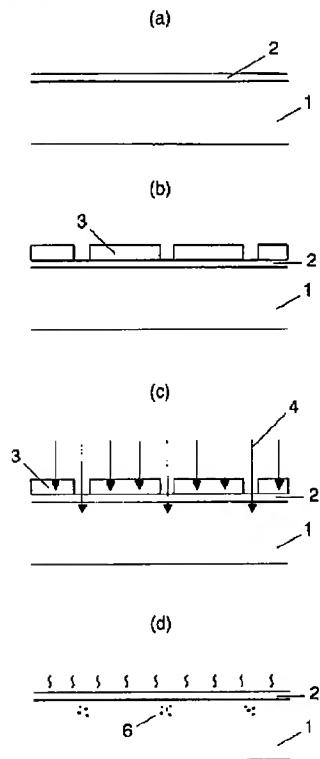
40

50

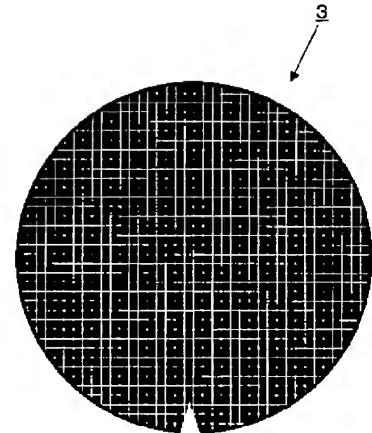
10 SiGe 膜の(111)面  
 11 Si 原子  
 12 Ge 原子  
 13 刃状転位  
 18 第2のSiGe膜  
 19 シリコン膜(半導体膜)  
 20 ゲート電極  
 21 ゲート参加膜  
 22 ソース領域  
 23 ドレイン領域  
 24 サイドウォール

10

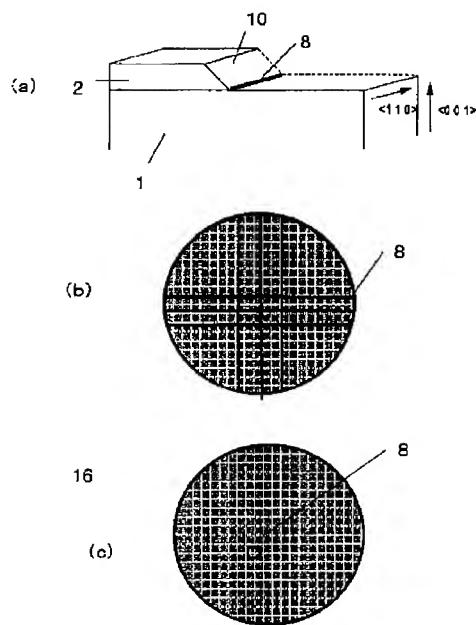
【図1】



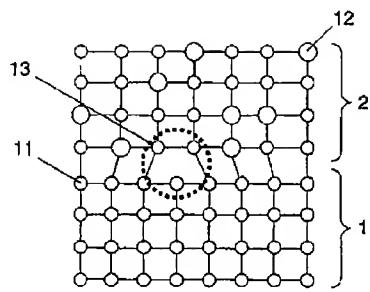
【図2】



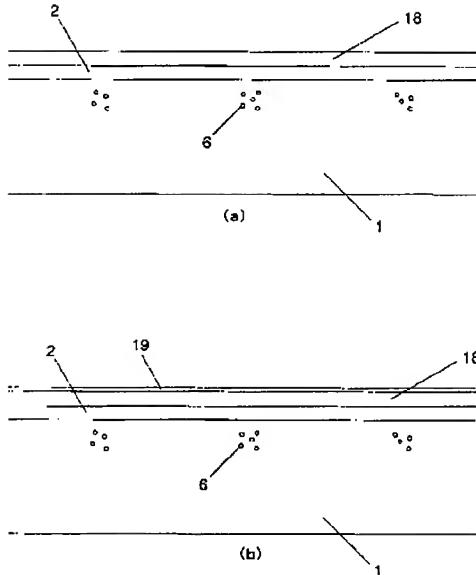
[ 四 8 ]



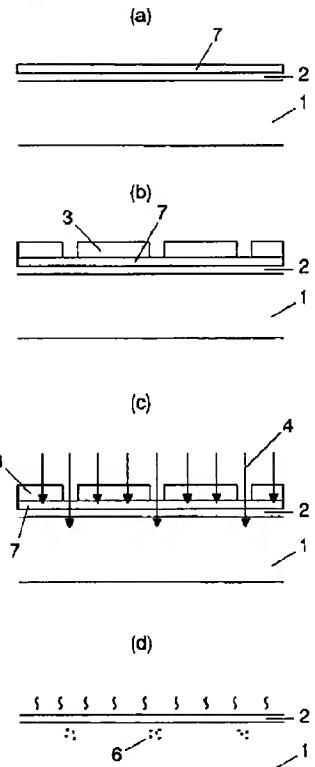
【図4】



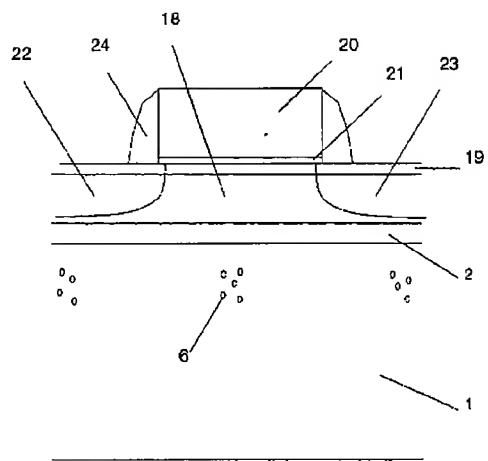
【図5】



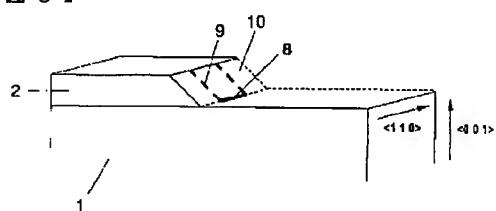
【圖 6】



【図7】



【図8】



---

フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

テー マコード (参考)

H 01 L 29/78 6 2 0  
H 01 L 29/78 6 1 8 B  
H 01 L 29/78 6 1 8 E